

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-141830

(43)Date of publication of application : 17.05.2002

(51)Int.Cl.

H04B 1/707
H03H 17/02

(21)Application number : 2000-332739

(71)Applicant : CANON INC

(22)Date of filing : 31.10.2000

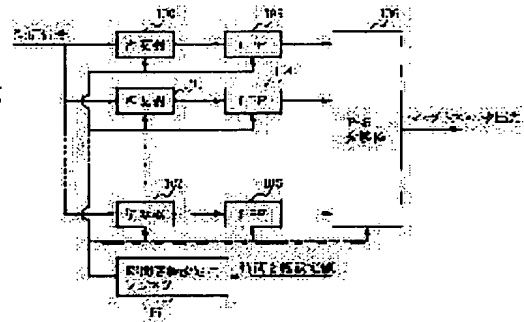
(72)Inventor : YAGUCHI TATSUYA

(54) MATCHED FILTER

(57)Abstract:

PROBLEM TO BE SOLVED: To solve a problem that circuit scale is expanded and power consumption is increased when providing a matched filter having a large number of elements of a diffused code since it is necessary for the matched filter of conventional configuration to perform multiplication N times and to perform addition N-1 times with the delay time (sampling time).

SOLUTION: The digital matched filter of N taps is composed of N correlators 100, 101...102, N low-pass filters 103, 104...105 and a register 107 for setting the time window width of the digital matched filter.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-141830
(P2002-141830A)

(43) 公開日 平成14年5月17日 (2002.5.17)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード*(参考)
H 0 4 B 1/707		H 0 3 H 17/02	6 0 1 Z 5 K 0 2 2
H 0 3 H 17/02	6 0 1	H 0 4 J 13/00	D

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願2000-332739(P2000-332739)

(22) 出願日 平成12年10月31日 (2000. 10. 31)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 矢口 達也

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(74) 代理人 100090538

弁理士 西山 恵三 (外1名)

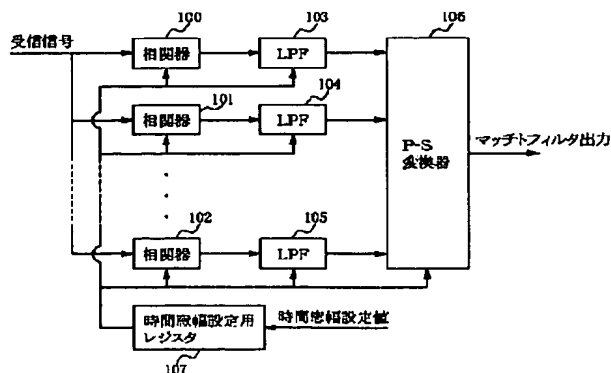
Fターム(参考) 5K022 EE02 EE33

(54) 【発明の名称】 マッチトフィルタ

(57) 【要約】

【課題】 従来構成のマッチトフィルタでは、遅延時間（サンプリング時間）内にN回の乗算とN-1回の加算を行う必要が有る為、拡散符号の要素数の多いマッチトフィルタの実現にあつては、回路規模が大となり、消費電力の増大する。

【解決手段】 Nタップのデジタルマッチトフィルタにおいて、N個の相関器100、101、…102と、N個のローパスフィルタ103、104、…105と、デジタルマッチトフィルタの時間窓幅を設定する為のレジスタ107とによって構成される。



【特許請求の範囲】

【請求項 1】 Nタップのデジタルマッチトフィルタにおいて、N個の相関器と、N個のローパスフィルタと、デジタルマッチトフィルタの時間窓幅を設定する為のレジスタとによって構成されることを特徴とするマッチトフィルタ。

【請求項 2】 Nタップのデジタルマッチトフィルタにおいて、N個の相関積分手段と、前記N個の相関積分手段のうちのいずれを動作させるか設定する設定手段とを有し、前記N個の相関積分手段は、拡散符号と受信信号を乗算する乗算手段と、加算手段と、前記加算手段の加算結果を記憶する記憶手段を有し、前記加算手段は、前記乗算手段の乗算結果と前記記憶手段に記憶された加算結果を加算することを特徴とするマッチトフィルタ。

【請求項 3】 Nタップのデジタルマッチトフィルタにおいて、N個の相関器と、N個のローパスフィルタと、デジタルマッチトフィルタの時間窓オフセットを設定する為のレジスタとによって構成されることを特徴とするマッチトフィルタ。

【請求項 4】 Nタップのデジタルマッチトフィルタにおいて、N個の拡散符号発生手段と、前記N個の拡散符号発生手段により発生されたN個の拡散符号と受信信号を乗算するN個の乗算手段と、N個の加算手段と、前記N個の加算手段の加算結果を記憶するN個の記憶手段と、N個の拡散符号発生手段の拡散符号発生タイミングのオフセットを設定する設定手段とを有し、前記N個の加算手段は、前記N個の乗算手段の乗算結果と前記N個の記憶手段に記憶された加算結果を加算することを特徴とするマッチトフィルタ。

【請求項 5】 Nタップのデジタルマッチトフィルタにおいて、N個の相関器と、N個のローパスフィルタ、デジタルマッチトフィルタの時間窓幅を設定する為のレジスタ、デジタルマッチトフィルタの時間窓オフセットを設定する為のレジスタとによって構成されることを特徴とするマッチトフィルタ。

【請求項 6】 Nタップのデジタルマッチトフィルタにおいて、N個の相関積分手段と、前記N個の相関積分手段のうちのいくつを動作させるか設定する第1の設定手段と、前記N個の相関積分手段の相関演算の開始タイミングを設定する第2の設定手段とを有し、前記N個の相関積分手段は、前記第2の設定手段による設定に応じたタイミングで拡散符号を発生する拡散符号発生手段と、前記拡散符号発生手段により発生された拡散符号と受信信号を乗算する乗算手段と、加算手段と、前記加算手段の加算結果を記憶する記憶手段を有し、前記加算手段は、前記乗算手段の乗算結果と前記記憶手段に記憶された加算結果を加算することを特徴とするマッチトフィルタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、相関演算に用いられるマッチトフィルタに関するものである。

【0002】

【従来の技術】次世代移动通信の無線アクセス方式の有力候補としてDS-CDMA（直接拡散一符号分割多元接続）が注目されている。DS-CDMAは、同一の周波数帯を複数のユーザーが用いて通信を行う方式であり、拡散符号によってユーザー間の識別がなされる。

【0003】陸上移动通信では、周囲の建造物、樹木等の反射、散乱、回折による多重伝搬が生じることがある。多重伝搬においては、各到来波は、伝搬路長の相違によりお互いに干渉しあい、異なった伝搬路を通して各電波が受信点に到達するので、振幅や位相は場所により変動する。変動分布は見通しでないところはレイリー分布に近似できる。

【0004】DS-CDMAにおいては、情報データを高速の拡散符号で帯域拡散するので、拡散符号の周期よりも大きい伝搬遅延時間差を有するパスの分離が可能となる。分離された複数のマルチパス信号を、位相を合わせて加算することにより、ダイバーシチ効果を引き出すことができる。

【0005】しかしながら、移動局は基地局に対して変動するために遅延プロファイルも変動する。したがって、移动通信の場合にはこの変動をパス毎に吸収し複数のマルチパス信号を同相合成するための機能が受信機に必要となる。パス毎に変動するマルチパス信号を高速に捕捉する為には、或いはピーク位相がまだわからない初期同期を高速に行う為には、ピーク位相を決定する為に相関演算を総当たりで行う必要がある。この目的の為に用いられるのが、マッチトフィルタである。

【0006】図7に、DS-CDMA方式に使われる受信機のブロックダイアグラムを示す。同図を用いて相関演算の基本的な考え方の説明をする。送信機からの変調信号は、伝搬路により歪みを受けた後、受信側に到達しアンテナ701を通じて受信される。受信信号は、702の復調ブロックにより復調されベースバンド受信信号に変換される。

【0007】送信側で情報データを拡散するために用いた符号と同一の拡散符号704とベースバンド受信信号を乗算器703により掛け合わせ、更に705により一定期間積分することにより、両者の相関出力を得る。相関出力結果を判定ブロック706で判定することにより、送信された情報系列が復元されることになる。

【0008】相関演算は、マッチトフィルタとスライディング相関器に大別される。マッチトフィルタの場合には、拡散系列の全て或いは部分系列が同一長の受信信号とチップレートで乗算されて総和が算出される。スライディング相関器の場合には、拡散系列と受信信号とをチップレートで乗算し、結果をシンボル区間積分することにより算出される。

【0009】従って、高速同期が必要な場合、或いは伝搬環境が高速移動などの理由で目まぐるしく変化する場合には、マッチトフィルタが不可欠となる。ただし、マッチトフィルタの演算量は、スライディング相関器に比べて相関長倍となる。

【0010】相関演算は、情報データの復調だけでなく複数のマルチパス信号を分離する場合にも行われる。この目的の場合には相関出力結果から電力を算出し、複数の電力の極大値の時間軸の位置をマルチパス位相とすることによりマルチパス信号を分離することができる。

【0011】次に、図8を用いて従来のマッチトフィルタの原理を説明する。同図中801～804は受信信号格納用遅延器、805～808は乗算器、809は加算器、 C_0 、 \dots 、 C_{N-3} 、 C_{N-2} 、 C_{N-1} は拡散系列である。

【0012】ベースバンド受信信号は、チップレートで順次、遅延器801に入力され、遅延器802、803、 \dots 、804へと転送される。各遅延器の出力は同図上、真下に位置する乗算器805、806、807、 \dots 、808によって拡散系列の構成要素とチップレート毎に掛け合わされ、加算器809によって総和が算出され、フィルタ出力となる。以上のような一連の動作により受信信号と、拡散系列との相関演算が施されることになる。

【0013】

【発明が解決しようとする課題】しかしながら、従来構成のマッチトフィルタでは図8に示されるように、遅延時間（サンプリング時間）内にN回の乗算とN-1回の加算を行う必要が有る為、拡散符号の要素数の多いマッチトフィルタの実現にあつては、回路規模が大となり、消費電力の増大が大きな問題となっていた。

【0014】これに対して、入力信号に対して一個の乗算器により逐次拡散符号を乗じる相関器も存在するが、回路規模が小さく、消費電力が低く押さえられる利点を有するものの、初期同期捕捉に、比較的長い時間を要する欠点を有していた。

【0015】

【課題を解決するための手段】上記目的を達成する為に、本出願の第1の発明では、NタップのデジタルマッチトフィルタをN個の相関器、N個のLPF、P-S変換器によって構成し、更に、デジタルマッチトフィルタの時間窓幅を設定する為のレジスタを設けることにより、デジタルマッチトフィルタで消費される電力を、時間窓幅をパラメータとして調節可能にした。

【0016】また、本出願の第2の発明では、時間窓幅を設定する為のレジスタの変わりに、時間窓オフセットを設定する為のレジスタを設けることにより、デジタルマッチトフィルタのタップ数Nの範囲内で相関演算の開始を自由に調節可能にした。

【0017】本出願の第3の発明では、時間窓幅を設定

する為のレジスタと、時間窓オフセットを設定する為のレジスタの両方を設けることにより、時間窓幅と時間窓オフセットの両方をパラメータとして、消費電力と、相関演算の開始タイミングを調節可能とした。

【0018】

【発明の実施の形態】図1は、本出願に関わる第1の発明の実施の形態におけるマッチトフィルタの構成を表した図である。同図において、まず、はじめに、ベースバンド受信信号はチップレートでN個の相関器100、101、 \dots 、102へと転送される。各相関器の出力はそれぞれ後続のLPF103、104、 \dots 、105に接続されている。ベースバンド受信信号は、相関器で拡散符号と相関が取られ、更に、LPFで所定時間、積分される。ローパスフィルタの出力はそれぞれ、106のパラレルーシリアル変換器によって、マッチトフィルタ出力される。

【0019】一方、時間窓幅設定用レジスタ107が、相関器100～102、LPF103～105、P-S変換器106に接続されている。時間窓幅の設定値を入力することにより、N個の相関器とN個のLPFのうち何個使うかを、決定する。使用しない相関器とLPFは、消費電力の低減化を図る為、時間窓幅設定用レジスタ107からの信号により、クロックの停止、或いは、電源の供給を止める。P-S変換器106は、時間窓幅設定用レジスタ107に設定された時間窓幅設定値に応じたLPFを、パラレルーシリアル変換して、マッチトフィルタ出力として、出力する。

【0020】次に、相関器100～102の詳細を、図2を用いて説明する。同図中、ベースバンド受信信号はチップレートにて、乗算器200にて、拡散符号発生回路201の出力と順次掛け合わされる。拡散符号発生回路201は、送信機側で拡散する為に用いた拡散符号のレプリカを出力する機能を有する。乗算結果は相関出力としてチップレートで後段のLPFに転送される。相関器100～102の拡散符号発生回路は、夫々、1チップずつ、ずれたタイミングで拡散符号を発生する。この拡散符号は、相関器100～102の夫々で共通である。

【0021】この乗算器200、拡散符号発生回路201が動作するか、あるいは、その動作が停止されるかは、時間窓設定用レジスタ107により設定される。

【0022】更に、LPF103～105の詳細を、図3を用いて説明する。同図中、相関出力は加算器300によって、チップレートで加算値記憶レジスタ301の内容と加算され、その結果は、加算値記憶レジスタ301に格納される。ここでは、拡散符号長、或いは、シンボル長に相当するチップ数だけ累積加算され、相関積分出力される。

【0023】従って、受信信号に含まれる拡散符号と、図2中の拡散符号発生器201からの出力の位相が合っ

ていると相関積分出力は大きくなり、位相がずれていると、比較的にかなり小さい値となる。

【0024】なお、この加算器300、加算値記憶レジスタ301が動作するか、あるいは、その動作が停止されるかは、時間窓設定用レジスタ107により設定される。

【0025】全体の動作を可視化したのが、図4である。図4を用いて全体の動作を以下に説明する。簡単の為に、拡散符号長は7のPN符号とする。したがって、この場合、相関器、LPFの総数はそれぞれ7個である。同図中、受信信号は4-0で表わされており、“-1、-1、+1、-1、+1、+1、-1”なるPN系列である。

【0026】一方、0番目の拡散符号発生回路201の出力は4-1に表わされており、受信系列に比べて時間軸で1チップだけ遅れた系列となっている。4-2は0番目の相関積分の出力であり、拡散系列一周後の値は、“-1”となっている（同図中斜線部分）。

【0027】一周後、図3中の加算値記憶レジスタ301の内容は“0”に初期化され、相関演算が再開される。

【0028】同様に、受信系列に比べて2チップだけ遅れた系列を出力する1番目の拡散符号発生回路201の出力値は4-3に、一周後の1番目の相関積分の出力は4-4の斜線部分に示されている。

【0029】6番目の拡散符号発生回路の出力は4-5に表わされており、受信信号と完全に位相が合っている。従って、6番目の相関積分の出力値である4-6において、相関積分の一周後の値は“7”となっており、他の位相が合っていない場合の相関値“-1”に比べて、比較的に大きな値を取っている。したがって、これらの相関値の大小により、位相同期点を抽出することができる。

【0030】図4中、斜線部分の相関積分値は図1のパラレルシリアル変換器106によって、時間圧縮され、動作させている相関積分の数だけシリアル出力される。

【0031】上述のように、相関積分器を拡散符号長に相当する個数、並列動作させることによりマッチトフィルタ機能を実現することができる。

【0032】時間窓幅の設定値に関しては、通常、アプリケーションの都合上、拡散符号長に相当する時間窓幅を取らなくてすむ場合が多く、この場合には、必要最低限の時間窓幅を設定することにより動作させる相関器とLPFの個数を削減することができる為、その分だけ消費電力を低減できる。

【0033】具体的には、拡散符号長が“7”、必要最低限の時間窓幅が“3”であれば、7個の相関器とLPFのうちそれぞれ3個だけ動作させれば良く、およそ3/7の消費電力の低減効果を期待できる。図4の例で

は、0番目、5番目、6番目の相関器とLPFを動作させ、1番目から4番目の相関器とLPFの消費電力を抑える。

【0034】図9は、図1のマッチトフィルタを用いたDS-SS信号受信装置構成を表わした図である。

【0035】図9の受信装置は、図10に示される構成を有するフレームのロングコードの同定を行う。

【0036】図10のフレーム構成において、ロングコードの位相を特定する為の全セル共通のショートコードはスロット長な一定間隔で埋め込まれている。ロングコードは15等分割されている。従って、全セル共通のショートコードを移動局側でレプリカとして持ち、相関演算の結果、相関ピークの最大をもってロングコードタイミングとして検出することで、ロングコード位相をロングコード周期のうち15個所に絞り込むことが可能となる。図2の拡散符号発生回路201は、このショートコードを発生する。

【0037】図9において、900は、図1の構成を有するマッチトフィルタであり、全セル共通のショートコードをレプリカとして持つ。まず、はじめに、受信信号は、マッチトフィルタ900で、相関演算が施される。相関演算が施された受信信号は、エネルギー検出器901でエネルギーが抽出された後、積分器902で平均処理が施される。ここでの平均化処理では、スロット長の一定間隔毎に巡回積分する。

【0038】巡回積分された相関値のエネルギーは、遅延プロファイル推定器903により、相関ピーク位置、個数が記憶される。ここで、遅延プロファイル情報は、拡散符号発生器905に渡されると同時に、観測時間窓決定器904に出力される。

【0039】観測時間窓決定器904は、遅延プロファイル情報から相関ピークの分散尺度である遅延スプレッドを計算し、遅延スプレッドの大きさによりマッチトフィルタ900の観測時間窓を変更する。この観測時間窓は、図1の時間窓幅設定用レジスタ107に格納される。遅延スプレッドの計算方法については、従来から知られており、ここでは、詳述しない。マッチトフィルタ900は、観測時間窓決定器904により決定された時間窓にしたがって、相関演算をする。

【0040】一方、遅延プロファイル情報が入力された複数の拡散符号発生器905は、相関ピークの位置、個数に基づいて、複数のグループコードの出力を開始する。グループコードは、図10のロングコードマスクシンボルの位置に埋め込まれ、このロングコードが属するグループを示す。この複数のグループコードは、不図示の複数のスライディング相関器に入力され、この複数のスライディング相関器から複数のグループコードと受信信号の相関が出力される。この相関出力は、図10の15個のロングコードマスクシンボルの夫々に、どのグループコードが埋め込まれていたかを、判定するために用

いられる。

【0041】この判定結果により、ロングコードがどのグループに属するかが判定でき、更に、15個のグループコードのパターンから、15個のロングコードマスクシンボルのどれが、ロングコードの先頭位置かが判定できる。

【0042】次に、このように判定されたロングコードの先頭位置、および、遅延プロファイル推定器903により推定された遅延プロファイル情報の相関ピーク的位置、個数に基づいて、複数の拡散符号発生器905からそのグループに属する複数の拡散符号の出力が開始され、不図示の複数のスライディング相関器に入力される。これらのスライディング相関器からの出力は、ロングコードを同定するために用いられる。

【0043】次に、観測時間窓決定器904について、図11、図12を用いて詳述する。図11は一定期間（単一スロット時間）パスサーチを行った結果の一例を示したものである。横軸はスロット時間長、縦軸は相関値の大きさを表わす。

【0044】同図において、マルチパスの出現している位置はお互いに隣接しており（遅延スプレッド σ が小さい場合）、パスサーチはマッチトフィルタの観測時間窓を小さくして行っても、マルチパスをサーチし損なう確立が低い。したがって、観測時間窓幅決定器904は、観測時間窓幅を小さく設定するよう、図1の時間窓幅設定用レジスタ107を設定し、マッチトフィルタ900を制御する。観測時間窓幅を小さくするとマッチトフィルタ900により消費される電力が小さくなり、観測時間窓幅が固定の場合に比べて消費電力を低減できる。

【0045】一方、図12は、図11と同様、一定期間（単一スロット時間）パスサーチを行った結果の一例であるが、マルチパスの存在場所が時間的に大きく分散し、遅延スプレッド σ が大きい場合である。この場合には、もはや、マッチトフィルタの観測時間窓を小さくすることは不可能であり、観測時間窓幅決定器904は、できるだけ時間窓幅を大きくとることにより、マルチパスを取りこぼす可能性を低くするように、時間窓幅設定用レジスタ107を設定し、マッチトフィルタ900を制御する。その結果、マッチトフィルタで消費される電力は比較的大きくなる。

【0046】図5は、本出願に関わる第2の発明の実施の実態におけるNタップのマッチトフィルタの構成を表した図である。同図において、N個の相関器500～502、N個のLPF503～505、P-S変換器506は、図1中の相関器100～102、LPF103～105、P-S変換器106と同等の機能、構成を有する。本形態では、時間窓幅は、予め定められた一定幅である。P-S変換器506は、LPF503から505のすべて、または、予め定められた一部の出力を、パラレル-シリアル変換して、マッチトフィルタ出

力として、出力する。

【0047】図5中、オフセット設定用レジスタ507には、各相関器の拡散符号の発生タイミングにオフセットを持たせる為のオフセットが設定される。オフセット設定用レジスタ507は、相関器500～502に接続されている。従って、オフセットレジスタ507にオフセット値を設定することにより、図2における各拡散符号発生器201の出力タイミングを変更する。この形態では、オフセットレジスタにオフセットが設定された場合、図5の相関器500、…502とLPF503、…505の組のうちの予め定められた一部の組以外に対するクロックを停止、或いは、電源の供給を止める。例えば、図4の例では、0番目、1番目、5番目、6番目の相関器、LPFの動作を停止する場合（時間窓幅が3の場合）、図4の6番目の相関積分出力値が、3番目の相関器、LPFの出力から得られるように、レジスタ507にオフセット値を設定して、拡散符号発生器201の出力タイミングを変更する。

【0048】以上のように、時間窓幅を設定する為のレジスタの代わりに、時間窓オフセットを設定する為のレジスタを設けることにより、デジタルマッチトフィルタのタップ数Nの範囲内で相関演算の開始を自由に調節可能にした。

【0049】図6は、本出願に関わる第3の発明の実施の形態におけるNタップのマッチトフィルタの構成を表わした図である。同図において、N個の相関器600～602、N個のLPF603～605、P-S変換器606は、図1中の相関器100～102、LPF103～105、P-S変換器106と同等の機能、構成を有する。同図を用いて、図1のマッチトフィルタとの相違点を記述する。

【0050】607は時間窓幅設定用レジスタであり、時間窓幅が格納される。時間窓幅設定用レジスタ607は、相関器600～602、LPF603～605に接続され、時間窓幅内にある相関器とLPFを選択的にクロック供給或いは電源供給する機能を有する。

【0051】オフセット設定用レジスタ608には、相関器600～602が相関演算を開始するタイミングを設定する拡散符号用オフセット値が格納されるとともに、相関器600～602に接続され、各相関器の拡散符号発生のタイミングを変更する。

【0052】時間窓設定用レジスタ607は、相関器600、…602、LPF603、…605の組のうちのいくつかの組以外以外に対するクロックを停止、或いは、電源の供給を止めるか、設定する。図4の例では、このレジスタ607の値が3ならば、0番目、1番目、5番目、6番目の相関器、LPFの組に対するクロックを停止、或いは、電源の供給を止める。また、このレジスタ607の値が5ならば、0番目と6番目の相関器、LPFの組に対するクロックを停止、或いは、電源の供

給を止める。これらの場合、オフセット設定用レジスタ608は、3番目の相関器、LPFの組から、図4の6番目の相関積分出力値が得られるように、各相関器の拡散符号発生タイミングを変更する。

【0053】すなわち、本実施形態では、動作させる相関器、LPFの組を時間窓幅設定用レジスタ607で絞り、動作する相関器、LPFの組により設けられる時間窓の中心で相関ピークが得られるようにオフセット設定用レジスタ608で設定する。

【0054】これにより、図1、図5のマッチフィルタよりも更に自由度が増し、時間窓幅を設定する為のレジスタと、時間窓オフセットを設定する為のレジスタの両方を設けることにより、時間窓幅と時間窓オフセットの両方をパラメータとして、消費電力と、相関演算の開始タイミングが調節可能となっている。

【0055】

【発明の効果】以上説明したように、本発明によれば、NタップのデジタルマッチフィルタをN個の相関器、N個のLPF、P-S変換器によって構成し、更に、デジタルマッチフィルタの時間窓幅を設定する為のレジスタを設けることにより、デジタルマッチフィルタで消費される電力を、時間窓幅をパラメータとして調節可能にした。

【0056】また、時間窓幅を設定する為のレジスタの代わりに、時間窓オフセットを設定する為のレジスタを設けることにより、デジタルマッチフィルタのタップ数Nの範囲内で相関演算の開始を自由に調節可能にした。

【0057】更には、時間窓幅を設定する為のレジスタと、時間窓オフセットを設定する為のレジスタの両方を設けることにより、時間窓幅と時間窓オフセットの両方をパラメータとして、消費電力と、相関演算の開始タイミングの両方を調節可能とした。

【図面の簡単な説明】

【図1】本発明を実施したマッチフィルタの構成例を示した図である。

【図2】本発明を実施したマッチフィルタの構成要素の一つである相関器を表わした図である。

【図3】本発明を実施したマッチフィルタの構成要素の一つであるLPFを表わした図である。

【図4】本発明を実施したマッチフィルタの動作を表わした図である。

【図5】本発明を実施した第2のマッチフィルタの構成例を示した図である。

【図6】本発明を実施した第3のマッチフィルタの構成例を示した図である。

【図7】DS-CDMAの受信部ブロック図である。

【図8】従来のマッチフィルタの構成を表した図である。

【図9】DS-CDMA信号受信機の構成例を示した図である。

【図10】ロングコードマスクを用いる下りリンクのフレーム構成図である。

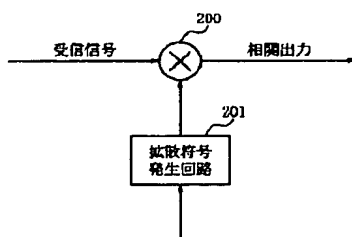
【図11】遅延スプレッドが小さい場合の遅延プロファイルの一例を表わした図である。

【図12】遅延スプレッドが大きい場合の遅延プロファイルの一例を表わした図である。

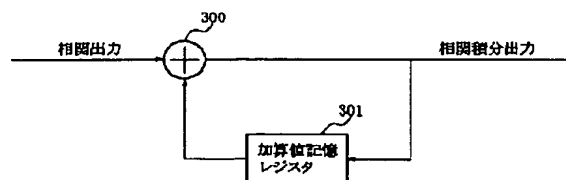
【符号の説明】

100～102 相関器
103～105 LPF
106 パラレルーシリアル変換器
107 時間窓幅設定用レジスタ
200 乗算器
201 拡散符号発生回路
300 加算器
301 加算値記憶レジスタ
500～502 相関器
503～505 LPF
506 パラレルーシリアル変換器
507 オフセット設定用レジスタ
600～602 相関器
603～605 LPF
606 パラレルーシリアル変換器
607 時間窓幅設定用レジスタ
608 オフセット設定用レジスタ

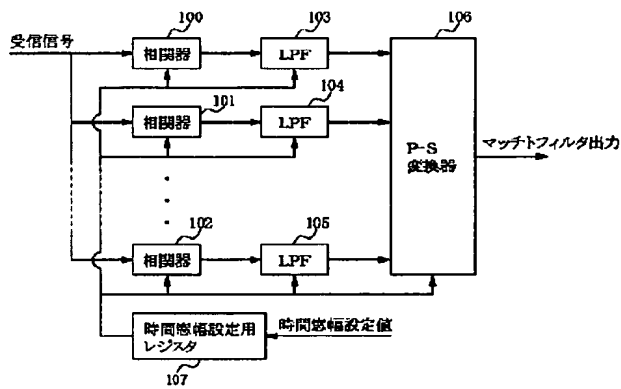
【図2】



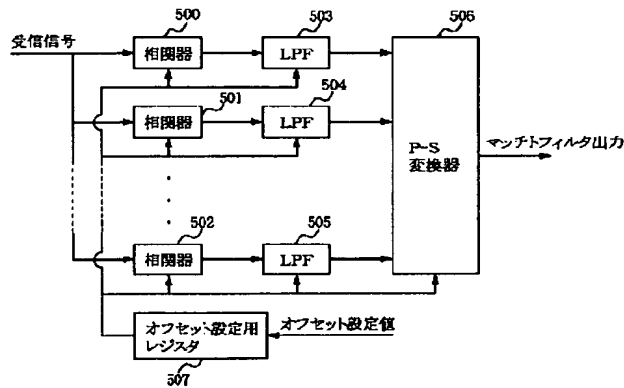
【図3】



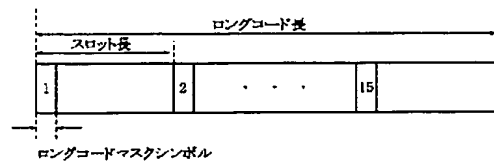
【図 1】



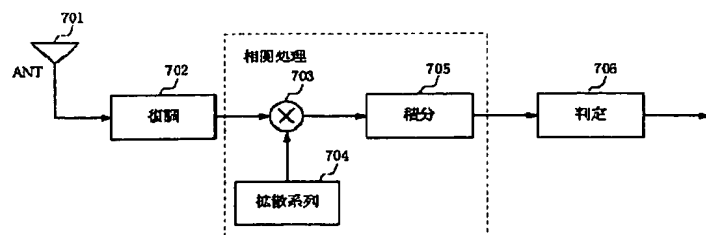
【図 5】



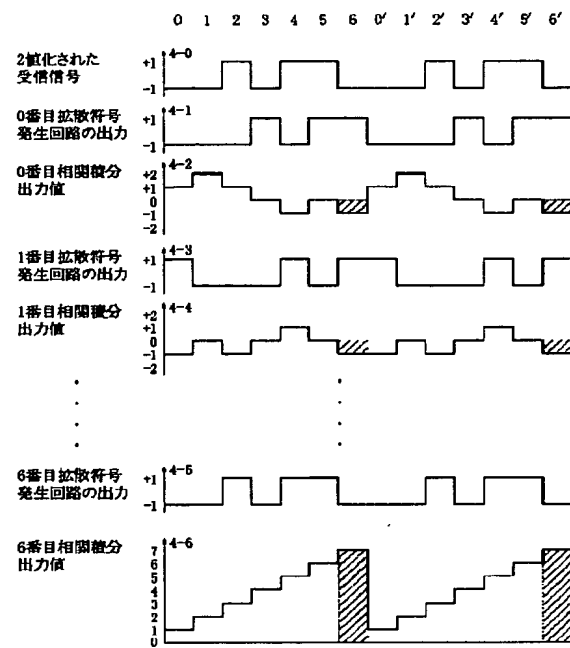
【図 10】



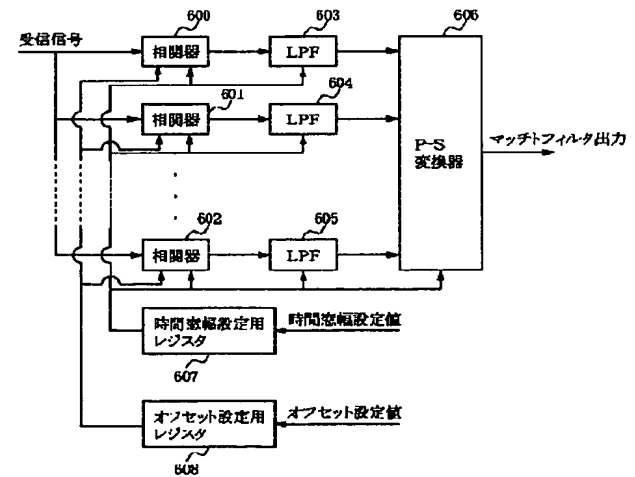
【図 7】



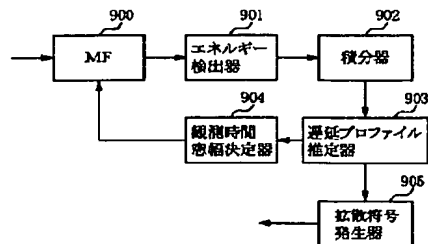
【図 4】



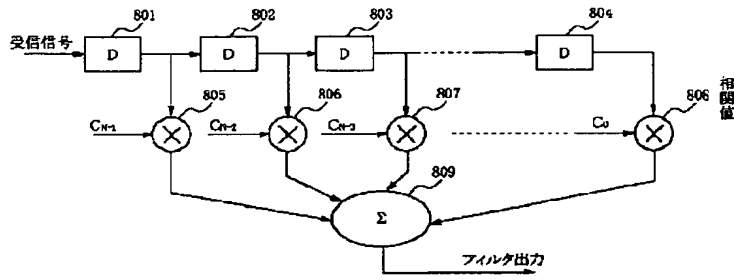
【図 6】



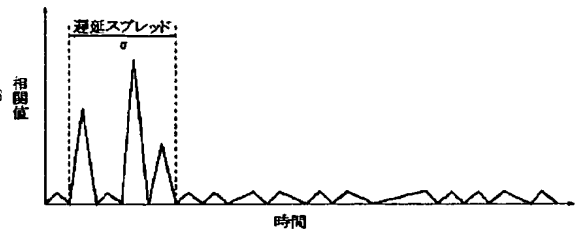
【図 9】



【図 8】



【図 11】



【図 12】

